



Attorney Docket No.: 8038-1046

PATENT

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Yasuyuki MORISHITA Conf. No.: Unknown
Appl. No.: 10/689,723 Group: Unknown
Filed: October 22, 2003
For: ESD PROTECTION CIRCUIT

LETTER

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Date: January 28, 2004

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-306992	October 22, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By

Benoît Castel
Benoît Castel, #35,041
745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

BC/psf

Attachment

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月22日
Date of Application:

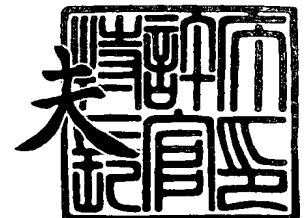
出願番号 特願2002-306992
Application Number:
[ST. 10/C]: [JP 2002-306992]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2003年 7月28日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3059906

【書類名】 特許願
【整理番号】 71110568
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
H01L 21/822

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号
本電気株式会社内

日

【氏名】 森下 泰之

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 静電保護回路及び半導体装置

【特許請求の範囲】

【請求項 1】 第 1 端子に印加された静電気ストレスを第 2 端子に放電させると共に前記第 2 端子に印加された静電気ストレスを前記第 1 端子に放電させることができる双方向型の静電保護回路であって、

前記第 1 端子にアノードが接続され、前記第 2 端子にカソード及びゲートが接続された第 1 サイリスタと、前記第 1 端子にカソード及びゲートが接続され、前記第 2 端子にアノードが接続された第 2 サイリスタと、を有することを特徴とする静電保護回路。

【請求項 2】 前記第 1 サイリスタ及び前記第 2 サイリスタは、いずれも第一導電型の半導体基板の一主面に形成された領域であって、前記半導体基板又は前記半導体基板内に形成された第一導電型の第 1 のウエル領域と、前記第 1 のウエル領域内に形成された前記第一導電型の逆導電型である第二導電型の拡散領域と、前記半導体基板内に形成された第二導電型の第 2 のウエル領域と、前記第 2 のウエル領域内に形成された第一導電型の拡散領域と、の 4 層構造からなるものである請求項 1 に記載の静電保護回路。

【請求項 3】 第 1 端子に印加された静電気ストレスを第 2 端子に放電させると共に前記第 2 端子に印加された静電気ストレスを前記第 1 端子に放電させることができる双方向型の静電保護回路であって、

いずれも第一導電型の半導体基板の一主面に形成されたウエル領域である、前記第一導電型の逆導電型である第二導電型の第 1 ウエル領域と、この第 1 ウエル領域と離間して形成された前記第二導電型の第 2 ウエル領域と、前記第 1 ウエル領域及び前記第 2 ウエル領域を囲繞して形成され前記第 1 端子となる第 1 配線に接続された前記第一導電型の第 3 ウエル領域を備え、更に、

前記第 3 ウエル領域内で前記第 1 ウエル領域と対向する位置に前記第 1 ウエル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 1 配線に接続された第二導電型の第 1 拡散領域と、

前記第 3 ウエル領域内で前記第 2 ウエル領域と対向する位置に前記第 2 ウエル領

域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2端子となる第2配線に接続された第二導電型の第2拡散領域と、
前記第1ウェル領域内に前記第1ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された前記第二導電型の第3拡散領域と、
前記第2ウェル領域内に前記第2ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2配線に接続された前記第二導電型の第4拡散領域と、
前記第1ウェル領域内で前記第3拡散領域と離間した位置に前記第3ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2配線に接続された前記第一導電型の第5拡散領域と、
前記第2ウェル領域内で前記第4拡散領域と離間した位置に前記第3ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された前記第一導電型の第6拡散領域と、
を備えていることを特徴とする静電保護回路。

【請求項4】 第1端子に印加された静電気ストレスを第2端子に放電させると共に前記第2端子に印加された静電気ストレスを前記第1端子に放電させることができる双方向型の静電保護回路であって、

いずれも第一導電型の半導体基板の一主面に形成されたウェル領域である、前記第一導電型の逆導電型である第二導電型の第1ウェル領域と、この第1ウェル領域と離間して形成された前記第二導電型の第2ウェル領域と、前記第1ウェル領域を囲繞して形成され第1端子となる第1配線に接続された前記第一導電型の第3ウェル領域と、前記第2ウェル領域を囲繞し且つ前記第3ウェル領域と離間して形成され第2端子となる第2配線に接続された前記第一導電型の第4ウェル領域を備え、更に、

前記第3ウェル領域内で前記第1ウェル領域と対向する位置に前記第1ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された第二導電型の第1拡散領域と、

前記第4ウェル領域内で前記第2ウェル領域と対向する位置に前記第2ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2配線に接続された第二導電型の第2拡散領域と、

前記第 1 ウェル領域内に前記第 1 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 1 配線に接続された前記第二導電型の第 3 拡散領域と、
前記第 2 ウェル領域内に前記第 2 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 2 配線に接続された前記第二導電型の第 4 拡散領域と、
前記第 1 ウェル領域内で前記第 3 拡散領域と離間した位置に前記第 3 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 2 配線に接続された前記第一導電型の第 5 拡散領域と、
前記第 2 ウェル領域内で前記第 4 拡散領域と離間した位置に前記第 4 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 1 配線に接続された前記第一導電型の第 6 拡散領域と、
を備えていることを特徴とする静電保護回路。

【請求項 5】 第 1 端子に印加された静電気ストレスを第 2 端子に放電させると共に前記第 2 端子に印加された静電気ストレスを前記第 1 端子に放電させることができる双方向型の静電保護回路であって、

いずれも第一導電型の半導体基板の一主面に形成されたウェル領域である、前記第一導電型の逆導電型である第二導電型の第 1 ウェル領域と、この第 1 ウェル領域と離間して形成された前記第二導電型の第 2 ウェル領域と、前記第 1 ウェル領域を囲繞して形成され第 1 端子となる第 1 配線に接続された前記第一導電型の第 3 ウェル領域と、前記第 2 ウェル領域を囲繞し且つ前記第 3 ウェル領域と離間して形成され前記第 1 配線に接続された前記第一導電型の第 4 ウェル領域を備え、更に、

前記第 3 ウェル領域内で前記第 1 ウェル領域と対向する位置に前記第 1 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 1 配線に接続された第二導電型の第 1 拡散領域と、

前記第 4 ウェル領域内で前記第 2 ウェル領域と対向する位置に前記第 2 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 2 端子となる第 2 配線に接続された第二導電型の第 2 拡散領域と、

前記第 1 ウェル領域内に前記第 1 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 1 配線に接続された前記第二導電型の第 3 拡散領域と、

前記第 2 ウェル領域内に前記第 2 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 2 配線に接続された前記第二導電型の第 4 拡散領域と、
前記第 1 ウェル領域内で前記第 3 拡散領域と離間した位置に前記第 3 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 2 配線に接続された前記第一導電型の第 5 拡散領域と、
前記第 2 ウェル領域内で前記第 4 拡散領域と離間した位置に前記第 4 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 1 配線に接続された前記第一導電型の第 6 拡散領域と、
を備えていることを特徴とする静電保護回路。

【請求項 6】 前記第 1 拡散領域が、前記第 1 ウェル領域と対向する平行辺を有する位置に形成された請求項 3 乃至 5 いずれか 1 項に記載の静電保護回路。

【請求項 7】 前記第 2 拡散領域が、前記第 2 ウェル領域と対向する平行辺を有する位置に形成された請求項 3 乃至 6 いずれか 1 項に記載の静電保護回路。

【請求項 8】 前記第 5 拡散領域が、前記第 1 拡散領域と前記第 3 拡散領域とに挟まれる位置に形成された請求項 3 乃至 7 いずれか 1 項に記載の静電保護回路。

【請求項 9】 前記第 6 拡散領域が、前記第 2 拡散領域と前記第 4 拡散領域とに挟まれる位置に形成された請求項 3 乃至 8 いずれか 1 項に記載の静電保護回路。

【請求項 10】 通常動作時において、前記第 1 端子の電位と前記第 2 端子の電位が同電位である請求項 1 乃至 9 いずれか 1 項に記載の静電保護回路。

【請求項 11】 前記第一導電型及び前記第二導電型が、それぞれ P 型及び N 型である請求項 1 乃至 10 いずれか 1 項に記載の静電保護回路。

【請求項 12】 互いに電氣的に分離した複数の電源系を有し、且つ互いに電氣的に分離した少なくとも一組の同電位の端子間に、請求項 1 乃至 11 いずれか 1 項に記載の静電保護回路を有することを特徴とする半導体装置。

【請求項 13】 前記少なくとも一組の同電位は、接地電位である請求項 1 2 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、互いに電氣的に分離した複数の電源を持つ半導体装置の静電気放電 (Electrostatic Discharge (ESD)) に対する保護回路 (以下、静電保護回路とする) に関し、特に異電源間の静電保護回路の改良に関する。

【0002】

【従来の技術】

半導体装置 (以下、LSIとする) では、LSI内の回路別に電源を持つものがある。例えば、アナログ回路とデジタル回路が同じLSIチップに内蔵される場合、デジタル回路の動作電流による電源-接地間の電位変動 (通常、接地電位の変動) により、電源-接地間の電位変動に対し比較的感度の高いアナログ回路の電源-接地間電位が変動するのを防ぐために、アナログ回路とデジタル回路各々の電源、接地を分離することがある。

【0003】

又、メモリ回路と外部の大容量負荷を駆動し得るCMOSバッファ回路が同じLSIチップに内蔵される場合、バッファ回路による負荷駆動時の電源-接地間電位の変動 (通常、接地電位の変動) により、電源-接地間電位の変動に対し比較的感度の高いメモリ回路の電源-接地間電位が変動するのを防ぐために、バッファ回路とメモリ回路各々の電源、接地を分離することがある。

【0004】

このような複数の電源系を持つLSIの異電源間に設けられた従来の静電保護回路については、特許文献1, 2に開示されている。図11は、特許文献1, 2に開示されている異電源間に設けられた従来の静電保護回路の例を示す図で、第1の回路の電源系の接地配線GND1と第2の回路の電源系の接地配線GND2との間の静電保護回路100の等価回路図である。特許文献1, 2にはこの静電保護回路100のレイアウトパターンは明記されてはいないが、例えば図12のようなレイアウトパターンが使用されることが多いので、以下このレイアウトパターンに基づき説明する。図13(a), (c)はそれぞれ図12におけるP-P'線と, Q-Q'線に沿った矢視断面を模式的に示す断面図であり、図13(b), (

d) はそれぞれ図 13 (a), (c) に対応する等価回路図である。

【0005】

図 11 乃至図 13 を参照すると、従来の接地配線 GND1 と接地配線 GND2 の間に設けられた静電保護回路 100 は、互いに逆並列に接続されたダイオード 110 とダイオード 120 の 2 個のダイオードで構成されている。すなわち、ダイオード 110 のアノードとダイオード 120 のカソードが接地配線 GND1 に接続され、ダイオード 110 のカソードとダイオード 120 のアノードが接地配線 GND2 に接続されている。ダイオード 110 は、例えば P 型シリコン基板 103 の所望の回路素子が形成される主面側に形成された P ウェル 111 と、P ウェル 111 の中に形成された N ウェル 112 と、N ウェル 112 内に形成され接地配線 GND1 に接続された高濃度 P 型拡散領域 113 と、N ウェル 112 内に形成され接地配線 GND2 に接続された高濃度 N 型拡散領域 114 とを備えて構成され、ダイオード 120 は、同様に P 型シリコン基板 103 の所望の回路素子が形成される主面側に形成された P ウェル 121 と、P ウェル 121 の中に形成された N ウェル 122 と、N ウェル 122 内に形成され接地配線 GND1 に接続された高濃度 N 型拡散領域 124 と、N ウェル 122 内に形成され接地配線 GND2 に接続された高濃度 P 型拡散領域 123 とを備えて構成されている。尚、ガードリングとなる高濃度 P 型拡散領域 115 は、P ウェル 111 のウェルコンタクトとシリコン基板 103 の基板コンタクトを兼ね、高濃度 P 型拡散領域 125 は、P ウェル 121 のウェルコンタクトとシリコン基板 103 の基板コンタクトを兼ねている。

【0006】

この構成により、接地配線 GND1 と接地配線 GND2 の間に ESD ストレスが印加されると、例えば接地配線 GND1 側が接地配線 GND2 側に対して正極 ESD ストレスの場合、ダイオード 110 が保護素子として機能する。この場合、ダイオード 110 のアノードである高濃度 P 型拡散領域 113 からカソードである高濃度 N 型拡散領域 114 を介して接続された接地配線 GND2 に順方向電流 I_1 が流れると、高濃度 P 型拡散領域 113, N ウェル 112 及び P ウェル 111 で構成される寄生 PNP トランジスタ (以下、PNP Tr とする) がターンオンして電流 I_2 も流れる。

【0007】

逆に接地配線GND2側が接地配線GND1側に対して正極ESDストレスの場合、ダイオード120が保護素子として機能する。この場合、ダイオード120のアノードである高濃度P型拡散領域123からカソードである高濃度N型拡散領域124を介して接続された接地配線GND1に順方向電流I₁が流れても、Pウェル121はウェルコンタクトを兼ねている高濃度P型拡散領域125を介して接地配線GND2に接続されているので、高濃度P型拡散領域123、Nウェル122及びPウェル121で構成される寄生PNPT_rはターンオンせず、Pウェル121からもNウェル122へ順方向電流I₃が流れる。

【0008】

【特許文献1】

特開昭63-36557号公報（p. 2、第1図、第2図）

【特許文献2】

特開平10-173134号公報（p. 2、図3、図4）

【0009】

【発明が解決しようとする課題】

上述したダイオードを逆並列に接続した従来の静電保護回路の場合、ダイオード110が保護素子として機能する場合のように寄生PNPT_rがターンオンしてESD電流の放電経路を形成したとしても、寄生PNPT_rの電流利得は極めて小さく、ESD電流に対して低抵抗状態を実現してESD耐量を確保するには、静電保護回路を構成するダイオード110、120のサイズを大きくする必要がある。しかし、静電保護回路を構成するダイオードのサイズを大きくすると、通常動作時に接地配線GND1と接地配線GND2間の寄生容量が大きくなってしまい、高周波ノイズが伝搬し易くなるという問題がある。

【0010】

本発明は上記問題点に鑑みてなされたものであって、その目的は例えばLSIチップ内で電源系を分離する場合において、通常動作時に異なる電源系の接地配線等の同電位配線間を伝搬する高周波ノイズを抑制しながら、異電源系の同電位端子間のESDストレスに対しても十分な耐量を有する静電保護回路及びこの静

電保護回路を備えた半導体装置を提供することにある。

【0011】

【課題を解決するための手段】

そのため、本発明による静電保護回路は、第1端子に印加されたESDストレスを第2端子に放電させると共に前記第2端子に印加されたESDストレスを前記第1端子に放電させることができる双方向型の静電保護回路であって、前記第1端子にアノードが接続され、前記第2端子にカソード及びゲートが接続された第1サイリスタと、前記第1端子にカソード及びゲートが接続され、前記第2端子にアノードが接続された第2サイリスタと、を有することを特徴とする。このとき、前記第1サイリスタ及び前記第2サイリスタは、いずれも第一導電型の半導体基板の一主面に形成された領域であって、前記半導体基板又は前記半導体基板内に形成された第一導電型の第1のウェル領域と、前記第1のウェル領域内に形成された前記第一導電型の逆導電型である第二導電型の拡散領域と、前記半導体基板内に形成された第二導電型の第2のウェル領域と、前記第2のウェル領域内に形成された第一導電型の拡散領域と、の4層構造からなるものとすることができる。

【0012】

又、この静電保護回路の第1の構成は、第1端子に印加されたESDストレスを第2端子に放電させると共に前記第2端子に印加されたESDストレスを前記第1端子に放電させることができる双方向型の静電保護回路であって、いずれも第一導電型の半導体基板の一主面に形成されたウェル領域である、前記第一導電型の逆導電型である第二導電型の第1ウェル領域と、この第1ウェル領域と離間して形成された前記第二導電型の第2ウェル領域と、前記第1ウェル領域及び前記第2ウェル領域を囲繞して形成され前記第1端子となる第1配線に接続された前記第一導電型の第3ウェル領域を備え、更に、前記第3ウェル領域内で前記第1ウェル領域と対向する位置に前記第1ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された第二導電型の第1拡散領域と、前記第3ウェル領域内で前記第2ウェル領域と対向する位置に前記第2ウェル領

域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2端子となる第2配線に接続された第二導電型の第2拡散領域と、
前記第1ウェル領域内に前記第1ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された前記第二導電型の第3拡散領域と、
前記第2ウェル領域内に前記第2ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2配線に接続された前記第二導電型の第4拡散領域と、
前記第1ウェル領域内で前記第3拡散領域と離間した位置に前記第3ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2配線に接続された前記第一導電型の第5拡散領域と、
前記第2ウェル領域内で前記第4拡散領域と離間した位置に前記第3ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された前記第一導電型の第6拡散領域と、
を備えていることを特徴とする。

【0013】

又、この静電保護回路の第2の構成は、第1端子に印加されたESDストレスを第2端子に放電させると共に前記第2端子に印加されたESDストレスを前記第1端子に放電させることができる双方向型の静電保護回路であって、
いずれも第一導電型の半導体基板の一主面に形成されたウェル領域である、前記第一導電型の逆導電型である第二導電型の第1ウェル領域と、この第1ウェル領域と離間して形成された前記第二導電型の第2ウェル領域と、前記第1ウェル領域を囲繞して形成され第1端子となる第1配線に接続された前記第一導電型の第3ウェル領域と、前記第2ウェル領域を囲繞し且つ前記第3ウェル領域と離間して形成され第2端子となる第2配線に接続された前記第一導電型の第4ウェル領域を備え、更に、
前記第3ウェル領域内で前記第1ウェル領域と対向する位置に前記第1ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された第二導電型の第1拡散領域と、
前記第4ウェル領域内で前記第2ウェル領域と対向する位置に前記第2ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2配線に接続された

第二導電型の第2拡散領域と、
前記第1ウェル領域内に前記第1ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された前記第二導電型の第3拡散領域と、
前記第2ウェル領域内に前記第2ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2配線に接続された前記第二導電型の第4拡散領域と、
前記第1ウェル領域内で前記第3拡散領域と離間した位置に前記第3ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2配線に接続された前記第一導電型の第5拡散領域と、
前記第2ウェル領域内で前記第4拡散領域と離間した位置に前記第3ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された前記第一導電型の第6拡散領域と、
を備えていることを特徴とする。

【0014】

又、この静電保護回路の第3の構成は、第1端子に印加されたESDストレスを第2端子に放電させると共に前記第2端子に印加されたESDストレスを前記第1端子に放電させることができる双方向型の静電保護回路であって、
いずれも第一導電型の半導体基板の一主面に形成されたウェル領域であって、前記第一導電型の逆導電型である第二導電型の第1ウェル領域と、この第1ウェル領域と離間して形成された前記第二導電型の第2ウェル領域と、前記第1ウェル領域を囲繞して形成され第1端子となる第1配線に接続された前記第一導電型の第3ウェル領域と、前記第2ウェル領域を囲繞し且つ前記第3ウェル領域と離間して形成され前記第1配線に接続された前記第一導電型の第4ウェル領域を備え、更に、
前記第3ウェル領域内で前記第1ウェル領域と対向する位置に前記第1ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第1配線に接続された第二導電型の第1拡散領域と、
前記第4ウェル領域内で前記第2ウェル領域と対向する位置に前記第2ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第2端子となる第2配線に接続された第二導電型の第2拡散領域と、

前記第 1 ウェル領域内に前記第 1 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 1 配線に接続された前記第二導電型の第 3 拡散領域と、
前記第 2 ウェル領域内に前記第 2 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 2 配線に接続された前記第二導電型の第 4 拡散領域と、
前記第 1 ウェル領域内で前記第 3 拡散領域と離間した位置に前記第 3 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 2 配線に接続された前記第一導電型の第 5 拡散領域と、
前記第 2 ウェル領域内で前記第 4 拡散領域と離間した位置に前記第 3 ウェル領域の不純物濃度よりも不純物濃度が高く形成され且つ前記第 1 配線に接続された前記第一導電型の第 6 拡散領域と、
を備えていることを特徴とする。

【0015】

【発明の実施の形態】

次に、本発明について図面を参照して説明する。

図 1 は、本発明の静電保護回路の一実施形態の等価回路を、異電源系の接地配線間に接続した状態で示す等価回路図である。又、図 2 はこの静電保護回路の平面形状を一例を示すレイアウトパターンである。更に、図 3 は図 2 の A-A' 線に沿った矢視断面を示す模式的な断面図 (a) と、対応する等価回路図 (b) であり、図 4 は図 2 の B-B' 線に沿った矢視断面を示す模式的な断面図 (a) と、対応する等価回路図 (b) である。

【0016】

図 1 を参照すると、LSI 5 は、高電圧側電位 VDD1 と接地電位 GND1 からなる第 1 の電源系で駆動される第 1 の回路と、高電圧側電位 VDD2 と接地電位 GND2 からなる第 2 の電源系で駆動される第 2 の回路を含み、外部接続用第 1 接地端子及び外部接続用第 2 接地端子（いずれも図示せず）に接地配線 GND1 及び接地配線 GND2 がそれぞれ接続され、本実施形態の静電保護回路 1 は、接地配線 GND1 と接地配線 GND2 との間に接続されている。又、本実施形態の静電保護回路 1 は、アノード 10A が第 1 端子 N1 に、カソード 10K 及びゲート 10G がいずれも第 2 端子 N2 にそれぞれ接続されたサイリスタ 10 と、アノード 20A が第 2 端

子N2に、カソード20K及びゲート20Gがいずれも第1端子N1にそれぞれ接続されたサイリスタ20と、を備えて構成されている。尚、LSI5の入力端子、出力端子等の信号端子を含む他の端子やその静電保護素子、回路の詳細等は本発明と直接関係しないので、図示を省略している。

【0017】

又、図2乃至図4を参照すると、この静電保護回路1は、第一導電型及び第二導電型をそれぞれP型及びN型として、いずれも例えば比抵抗が $3 \sim 10 \Omega \cdot \text{cm}$ のP型シリコン基板3の所望の回路素子が形成される一主面側に形成されたウェル領域であって、所定の位置に形成された第1ウェル領域であるNウェル11と、Nウェル11と離間して形成された第2ウェル領域であるNウェル21と、Nウェル11及びNウェル21を囲繞して形成された第3ウェル領域であるPウェル12を備え、更に、

Pウェル12内でNウェル11のみと対向する平行辺を有する位置にNウェル11の不純物濃度よりも不純物濃度が高く形成され且つ第1端子となる第1配線を兼ねた接地配線GND2と接続する第1拡散領域である高濃度N型領域13と、

Pウェル12内でNウェル21のみと対向する平行辺を有する位置にNウェル21の不純物濃度よりも不純物濃度が高く形成され且つ第2端子となる第2配線を兼ねた接地配線GND1と接続する第2拡散領域である高濃度N型領域23と、

Nウェル11内にこのNウェル11の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND2に接続された第3拡散領域である高濃度N型領域15と、

Nウェル21内にこのNウェル21の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND1に接続された第4拡散領域である高濃度N型領域25と、

Nウェル11内であって高濃度N型領域13と高濃度N型領域15とに挟まれる位置にPウェル12の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND1に接続された第5拡散領域である高濃度P型領域14と、

Nウェル21内であって高濃度N型領域23と高濃度N型領域25とに挟まれる位置にPウェル12の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND2に接続された第6拡散領域である高濃度P型領域24と、

Pウェル12の周縁部にPウェル12の不純物濃度よりも不純物濃度が高く形成

され且つ接地配線GND2に接続された第7拡散領域である高濃度P型領域16と、を備えており、

Nウェル11、Pウェル12、高濃度N型領域13及び高濃度P型領域14が、高濃度N型領域13と高濃度P型領域14をそれぞれカソードとアノードとし、高濃度N型領域15をゲートとするサイリスタ10を構成し、

Nウェル21、Pウェル12、高濃度N型領域23及び高濃度P型領域24が、高濃度N型領域23と高濃度P型領域24をそれぞれカソードとアノードとし、高濃度N型領域25をゲートとするサイリスタ20を構成している。

【0018】

又、これらの平面パターン形状は、P型シリコン基板3の主面上で互いに直交する2方向をX方向及びY方向とし、例えばNウェル11及びNウェル21を、直交する2辺がそれぞれX方向とY方向に平行になっている矩形としたとき、これらがY方向に互いに離間して配置されている。Pウェル12は、Nウェル11及びNウェル21を囲繞して矩形状に形成される。

【0019】

高濃度N型領域13は矩形状で、Nウェル11とX方向に離間し且つそれぞれのY方向の辺が互いに平行に対向するようにPウェル12内に配置される。又、高濃度N型領域23も矩形状で、Nウェル21とX方向に離間し且つそれぞれのY方向の辺が互いに平行に対向するようにPウェル12内に配置される。このとき、高濃度N型領域13にはNウェル21と直接対向する領域が存在せず、高濃度N型領域23にはNウェル11と直接対向する領域が存在しない。

【0020】

高濃度P型領域14と高濃度N型領域15は、いずれもNウェル11内でX方向に離間すると共にそれぞれのY方向の辺が互いに平行に対向し且つ高濃度P型領域14が高濃度N型領域13と高濃度N型領域15とに挟まれる位置に形成される。又、高濃度P型領域24と高濃度N型領域25は、いずれもNウェル21内でX方向に離間すると共にそれぞれのY方向の辺が互いに平行に対向し且つ高濃度P型領域24が高濃度N型領域23と高濃度N型領域25とに挟まれる位置に形成される。

【0021】

高濃度P型領域16は、Pウェル12の周縁部全域に渡って且つNウェル11、21、高濃度N型領域13、23のいずれとも離間して形成され、Pウェル12のコンタクト領域になると共に、サイリスタ10及びサイリスタ20のガードリングとなっている。

【0022】

尚、本実施形態ではサイリスタ10が、Pウェル12、高濃度N型領域13、Nウェル11及び高濃度P型領域14を、それぞれ第一導電型の第1のウエル領域、第1のウエル領域内に形成された第二導電型の拡散領域、半導体基板内に形成された第二導電型の第2のウエル領域及び第2のウエル領域内に形成された第一導電型の拡散領域とする4層構造からなり、サイリスタ20が、Pウェル12、高濃度N型領域23、Nウェル21及び高濃度P型領域24を、それぞれ第一導電型の第1のウエル領域、第1のウエル領域内に形成された第二導電型の拡散領域、半導体基板内に形成された第二導電型の第2のウエル領域及び第2のウエル領域内に形成された第一導電型の拡散領域とする4層構造からなっている。

【0023】

次に、この静電保護回路1の動作を説明する。まず、接地配線GND1側から接地配線GND2側に電流が流れるようなESDストレスが印加された場合は、サイリスタ10が保護素子として機能する。従って図3を参照すると、接地配線GND1に正極ESDストレスが印加されると、まずサイリスタ10のアノード10Aとなっている高濃度P型領域14からNウェル11及び高濃度N型領域15を経由して接地配線GND2へ電流I1が流れて、高濃度P型領域14、Nウェル11及びPウェル12で形成される寄生PNPT_{r81}がターンオンし、続いて更にNウェル11、Pウェル12及び高濃度N型領域13で形成される寄生NPNT_{r82}がターンオンしてサイリスタ10がターンオンしてI_{SCR}が流れ、低抵抗状態で接地配線GND2側に放電する。

【0024】

逆に、接地配線GND2側から接地配線GND1側に電流が流れるようなESDストレ

スが印加された場合は、サイリスタ 20 が保護素子として機能する。従って図 4 を参照すると、接地配線 GND2 に正極 ESD ストレスが印加されると、サイリスタ 20 のアノード 20A となっている高濃度 P 型領域 24 から N ウェル 21 及び高濃度 N 型領域 25 を経由して接地配線 GND1 への電流 I_1 、高濃度 P 型領域 16 から P ウェル 12 及び高濃度 N 型領域 23 を経由して接地配線 GND1 への電流 I_2 、及び高濃度 P 型領域 16 から N ウェル 21 及び高濃度 N 型領域 25 を経由して接地配線 GND1 への電流 I_3 が同時に流れ始め、N ウェル 21 のウェル抵抗 R_{nw} 及び P ウェル 12 のウェル抵抗 R_{pw} による電位差が生じるとサイリスタ 20 がターンオンして I_{SCR} が流れ、低抵抗状態で接地配線 GND1 側に放電する。

【0025】

このように、本実施形態の静電保護回路 1 は第 1 端子 N1 と第 2 端子 N2 の間にゲートとカソードを短絡したサイリスタが逆並列に接続された構成となっているので、第 1 端子 N1、第 2 端子 N2 のいずれの側に ESD ストレスが印加されてもいずれかのサイリスタがターンオンして他方の電極側に放電させることができ、且つサイリスタがターンオンしているときのオン抵抗は同じサイズのダイオードの順方向抵抗に比べて十分低く、ESD 電流を放電する際の所望の低抵抗状態をより小さいサイズで実現できるので、通常動作時には分離したい接地配線の寄生容量を小さくすることができ、寄生容量を経由する高周波ノイズの伝搬が抑制される。

【0026】

次に、図 2 乃至図 4 に示す静電保護回路 1 の製造方法の概要を説明する。図 5 及び図 6 は、この製造方法の一例を説明するための主要工程毎の断面を示す工程毎断面図である。尚、この工程毎断面図は代表例として図 2 における A-A' 線に沿った矢視断面を用いて示している。

【0027】

尚、静電保護回路 1 の主要サイズは、高濃度 N 型領域 13, 15, 23, 25 の Y 方向の長さ $W_n = 50 \mu m$ 、高濃度 P 型領域 14, 24 の Y 方向の長さ $W_p = 50 \mu m$ とし、高濃度 P 型領域 14 と X 方向に対向する N ウェル 11 の境界との間隔及び高濃度 P 型領域 24 と X 方向に対向する N ウェル 21 の境界との間隔

$d_{wa} = 0.4 \mu\text{m}$ 、高濃度N型領域13とX方向に対向するNウェル11の境界との間隔及び高濃度N型領域23とX方向に対向するNウェル21の境界との間隔 $d_{wc} = 0.4 \mu\text{m}$ とした。但し、図面は分かり易くするため、上記寸法とは関係なく適宜拡大して示してある。

【0028】

まず、比抵抗が $10 \Omega \cdot \text{cm}$ 程度のP型シリコン基板3を準備し（図5（a））、この基板の所望の回路素子が形成される主面側の所定の位置に、例えばイオン注入技術により不純物濃度が $5 \times 10^{17} \text{cm}^{-3}$ 程度のNウェル11及びNウェル21と、不純物濃度が $5 \times 10^{17} \text{cm}^{-3}$ 程度のPウェル12をそれぞれ形成する。（図5（b））。

【0029】

次に、例えば浅溝分離技術を用いて所定の素子領域を画定する分離領域55を形成する（図5（c））。

【0030】

次に、所望の内部回路素子等（図示せず）を形成するためゲート絶縁膜を成長させ、更にゲート電極となる例えば多結晶シリコン等を堆積してパターニングし、ゲート領域が形成される（いずれも図示せず）。

【0031】

次に、所望の領域以外をフォトリジスト（以下、PRとする）61等で被覆し、イオン注入技術により例えば砒素（As）を加速電圧 10keV で 1×10^{15} 個/ cm^2 程度注入して高濃度N型領域13及び高濃度N型領域15を含む所定のN型領域を形成する（図5（d））。

【0032】

次に、所望の領域以外をPR63等で被覆し、イオン注入技術により例えば 5keV 程度の加速電圧でボロン（B）を 1×10^{15} 個/ cm^2 程度注入して高濃度P型領域14及び高濃度P型領域16を含む所定のP型領域を形成する（図6（a））。

【0033】

以後は、公知の方法により、所定の領域にコンタクト孔を開口し、所定の配線

材料を堆積してパターンニングし（図6（b））、多層配線が必要であればこの後、層間絶縁膜の堆積、接続孔の開口、配線材料の堆積及びパターンニングを繰り返して多層配線にして形成すればよいので説明は省略する。

【0034】

尚、前述の製造方法の各処理は、通常のCMOS（Complementary Metal Oxide Semiconductor）型LSIの製造方法に全て含まれる処理であって静電保護回路1を搭載するために新たな工程の追加は不要であり、具体的な処理条件やパターン寸法等は静電保護回路1が搭載されるLSIの製造条件と、静電保護回路1に求められる保護動作の条件等に合わせて適宜設定すればよい。

【0035】

以上説明したとおり、本発明の静電保護回路1は第1端子N1と第2端子N2の間にゲートとカソードを短絡したサイリスタが逆並列に接続された構成を通常のCMOS型LSIの製造方法に工程追加をすることなく実現でき、且つこの静電保護回路1を備えることにより、第1端子N1、第2端子N2のいずれの側にESDストレスが印加されてもいずれかのサイリスタがターンオンして他方の電極側に放電させることができる。しかも、サイリスタがターンオンしたときのオン抵抗は同じサイズのダイオードの順方向抵抗に比べて十分低く、所望の低抵抗の放電経路をより小さいサイズで実現できる。従って、複数の電源系を有するLSIに本発明の静電保護回路1を搭載することにより、通常動作時には電氣的に分離したい電源系（の接地配線）間の寄生容量を小さくすることができ、ESD耐量を維持しながら寄生容量を経由する高周波ノイズの伝搬が抑制されるという効果が得られる。

【0036】

尚、本発明は上記実施形態の説明に限定されるものでなく、その要旨の範囲内において種々変更が可能である。例えば、静電保護回路1の平面パターン形状は、図2の例に種々の変更が可能である。以下、その中の幾つかの例について説明する。尚、以下の例は全て、上述の実施形態の場合と同様、第一導電型及び第二導電型をそれぞれP型及びN型として、P型シリコン基板3の所望の回路素子が形成される一主面側に全て形成されるものとする。

【0037】

図7は、静電保護回路1の平面パターン形状の第1の変形例を説明するための図で、(a)及び(b)はそれぞれ模式的な平面図及び(a)のC-C'線に沿った模式的な矢視断面図である。第1の変形例は、サイリスタ10とサイリスタ20を、独立したPウェル内に形成した構成となっている。図7を参照すると、静電保護回路1の第1の変形例は、所定の位置に形成されたN型の第1ウェル領域であるNウェル11と、Nウェル11と離間して形成されたN型の第2ウェル領域であるNウェル21と、Nウェル11を囲繞して形成されたP型の第3ウェル領域であるPウェル12と、Nウェル21を囲繞し且つPウェル12と離間して形成されたP型の第4ウェル領域であるPウェル22を備え、更に、Pウェル12内で前記第1ウェル領域と対向する平行辺を有する位置にNウェル11の不純物濃度よりも不純物濃度が高く形成され且つ第1端子となる第1配線を兼ねた接地配線GND2と接続する第1拡散領域である高濃度N型領域13、Pウェル22内でNウェル21と対向する平行辺を有する位置にNウェル21の不純物濃度よりも不純物濃度が高く形成され且つ第2端子となる第2配線を兼ねた接地配線GND1に接続されたN型の第2拡散領域である高濃度N型領域23と、Nウェル11内にNウェル11の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND2に接続されたN型の第3拡散領域である高濃度N型領域15と、Nウェル21内にNウェル21の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND1に接続されたN型の第4拡散領域である高濃度N型領域25と、Nウェル11内で高濃度N型領域13と高濃度N型領域15とに挟まれる位置にPウェル12の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND1に接続されたP型の第5拡散領域である高濃度P型領域14と、Nウェル21内で高濃度N型領域23と高濃度N型領域25とに挟まれる位置にPウェル12の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND2に接続されたP型の第6拡散領域である高濃度P型領域24と、Pウェル12の周縁部にPウェル12の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND2に接続されたP型の第7拡散領域である高濃度P型領域16と、

Pウェル22の周縁部にPウェル22の不純物濃度よりも不純物濃度が高く形成され且つ接地配線GND1に接続されたP型の第8拡散領域である高濃度P型領域26と、を備えており、

Nウェル11、Pウェル12、高濃度N型領域13及び高濃度P型領域14が、高濃度N型領域13と高濃度P型領域14をそれぞれカソードとアノードとし、Nウェル11をゲートとするサイリスタ10aを構成し、

Nウェル21、Pウェル22、高濃度N型領域23及び高濃度P型領域24が、高濃度N型領域23と高濃度P型領域24をそれぞれカソードとアノードとし、Nウェル21をゲートとするサイリスタ20aを構成している。

【0038】

又、第1の変形例の平面パターン形状は、P型シリコン基板3の主面上で互いに直交する2方向をX方向及びY方向とし、例えばNウェル11及びNウェル21を、直交する2辺がそれぞれX方向とY方向に平行になっている矩形としたとき、これらがY方向に互いに離間して配置されている。又、Pウェル12及びPウェル22は、Nウェル11及びNウェル21をそれぞれ囲繞して矩形状に形成され、Y方向に互いに離間して配置されている。

【0039】

高濃度N型領域13は矩形状で、Nウェル11とY方向に離間し且つそれぞれのX方向の辺が互いに平行に対向するようにPウェル12内に配置される。又、高濃度N型領域23も矩形状で、Nウェル21とY方向に離間し且つそれぞれのX方向の辺が互いに平行に対向するようにPウェル22内に配置される。

【0040】

高濃度P型領域14と高濃度N型領域15は、いずれもNウェル11内でY方向に離間すると共にそれぞれのX方向の辺が互いに平行に対向し且つ高濃度P型領域14が高濃度N型領域13と高濃度N型領域15とに挟まれる位置に形成される。又、高濃度P型領域24と高濃度N型領域25は、いずれもNウェル21内でY方向に離間すると共にそれぞれのX方向の辺が互いに平行に対向し且つ高濃度P型領域24が高濃度N型領域23と高濃度N型領域25とに挟まれる位置に形成される。

【0041】

高濃度P型領域16は、Pウェル12の周縁部全域に渡って且つNウェル11、高濃度N型領域13のいずれとも離間して形成され、Pウェル12のコンタクト領域になると共に、サイリスタ10aのガードリングとなっている。高濃度P型領域26は、Pウェル22の周縁部全域に渡って且つNウェル21、高濃度N型領域23のいずれとも離間して形成され、Pウェル22のコンタクト領域になると共に、サイリスタ20aのガードリングとなっている。

【0042】

この変形例では、サイリスタ10aが、Pウェル12、高濃度N型領域13、Nウェル11及び高濃度P型領域14を、それぞれ第一導電型の第1のウェル領域、第1のウェル領域内に形成された第二導電型の拡散領域、半導体基板内に形成された第二導電型の第2のウェル領域及び第2のウェル領域内に形成された第一導電型の拡散領域とする4層構造からなっており、サイリスタ20aが、Pウェル22、高濃度N型領域23、Nウェル21及び高濃度P型領域24を、それぞれ第一導電型の第1のウェル領域、第1のウェル領域内に形成された第二導電型の拡散領域、半導体基板内に形成された第二導電型の第2のウェル領域及び第2のウェル領域内に形成された第一導電型の拡散領域とする4層構造からなっている。

【0043】

このように、第1の変形例は、サイリスタ10a側のガードリングとなる高濃度P型領域16が接地配線GND2に接続され、サイリスタ20a側のガードリングとなる高濃度P型領域26が接地配線GND1に接続されているので、接地配線GND1側から接地配線GND2側に電流が流れるようなESDストレスが印加された場合に保護素子として機能するサイリスタ10aの動作と、逆に接地配線GND2側から接地配線GND1側に電流が流れるようなESDストレスが印加された場合に保護素子として機能するサイリスタ20aの動作と、がいずれも図2のサイリスタ10の動作と全く同じになり、接地配線GND1と接地配線GND2との間でESDストレスに対して対称的な保護動作を行うことができる。但し、高濃度P型領域16が接地配線GND2に接続され、高濃度P型領域26が接地配線GND1に接続されているので

、接地配線GND1と接地配線GND2がP型シリコン基板3を介して電氣的に直接接続されており、これらの配線間の高周波ノイズの伝搬を抑制するには、高濃度P型領域16と高濃度P型領域26との間隔 W_g をP型シリコン基板3の比抵抗に応じてある程度確保する必要がある。尚、第1の変形例においても、高濃度P型領域16と高濃度P型領域26の双方を、接地配線GND1又は接地配線GND2のいずれか一方に接続しても良い。

【0044】

次に、静電保護回路1の平面パターン形状の第2の変形例を説明する。図8は、静電保護回路1の平面パターン形状の第2の変形例を説明するための図で、(a)及び(b)はそれぞれ模式的な平面図及び(a)のE-E'線に沿った模式的な矢視断面図である。尚、図8(a)のD-D'線に沿った矢視断面図は、図2のA-A'線に沿った矢視断面図、すなわち図3(a)と同一であるのでここでの図示は省略する。この変形例では、サイリスタ20bの平面パターン形状が、図2のサイリスタ20のそれをX方向に反転させた形状となっている、或いは例えばPウェル12の中心を対称中心としてサイリスタ10bの平面パターン形状とサイリスタ20bの平面パターン形状が点対称に配置されている点が上述した実施形態における図2の平面パターン形状と異なっているのみであり、その他は各サイリスタ内での各領域の相対位置関係や、各領域と接地配線GND1又は接地配線GND2との接続、更に保護動作についても、図2のサイリスタ10及びサイリスタ20と同じであるので詳細な説明は省略する。

【0045】

次に、静電保護回路1の平面パターン形状の第3の変形例を説明する。図9は、静電保護回路1の平面パターン形状の第3の変形例を説明するための図で、(a)及び(b)はそれぞれ模式的な平面図及び(a)のF-F'線に沿った模式的な矢視断面図である。この変形例は、図2のサイリスタ10とサイリスタ20の各平面パターンをいずれも反時計方向に90度回転させ、Y方向に並べて配置した構成となっている。或いは、第1の変形例である図7のPウェル12とPウェル22とを一体にした構成と見ることもできる。この変形例は、例えば図9のように接地配線GND1と接地配線GND2がY方向に平行して配置され、その間に静電

保護回路 1 を配置できるような場合、接地配線 GND1 又は接地配線 GND2 と各領域との接続パターンの設計が極めて容易になるというメリットがある。尚、この変形例でも、各サイリスタ内での各領域の相対位置関係や、各領域と接地配線 GND1 又は接地配線 GND2 との接続、更に保護動作についても、図 2 のサイリスタ 10 及びサイリスタ 20 と同じであるので詳細な説明は省略する。

【0046】

尚、第 2 の変形例の平面パターン形状は、例えば図 10 のように接地配線 GND1 と接地配線 GND2 との間に平行する領域が無い場合、サイリスタ 10b の平面パターンとサイリスタ 20b の平面パターンとを X 方向に相互にずらせて、各サイリスタの同電位の領域が Y 方向の直線上に整列するようにしてもよい。図 10 (a) は、高濃度 N 型領域 15 が高濃度 P 型領域 24 と、又高濃度 P 型領域 14 が高濃度 N 型領域 25 とそれぞれ Y 方向の同一直線上に配置された例であり、又、図 10 (b) は高濃度 P 型領域 14 が高濃度 N 型領域 23 と又高濃度 N 型領域 13 と高濃度 P 型領域 24 とそれぞれ Y 方向の同一直線上に配置された例である。

【0047】

このように、静電保護回路 1 の平面パターン形状は、保護対象となる接地配線 GND1 のパターンと接地配線 GND2 のパターンとの相対的な位置関係に応じてよりコンパクトに且つ接続しやすい平面パターン形状を適宜設定すればよい。

【0048】

又、上記実施形態は保護対象が接地配線 GND1 と接地配線 GND2 の場合のみについて説明したが、更に多数の保護対象が存在する場合は、図 14 に 4 種類の電源系を有する場合の例を示すように保護対象である各接地配線間 (a)、或いは共通ノードを設定してこの共通ノードと各保護対象との間 (b) に本発明の静電保護回路 1 を挿入すればよい。図 14 (b) の構成は、静電保護回路 1 が保護動作を開始する際の保護対象配線間の電圧はやや高くなるが、挿入する静電保護回路の数を削減することができる。

【0049】

【発明の効果】

以上説明したように、複数の電源系を含む LSI における異なる電源系の接地

配線のように、通常動作時に同電位であるが電氣的に分離された配線間に本発明の静電保護回路を挿入することにより、当該配線がそれぞれ接続された端子間の静電耐量を確保しながら、高周波ノイズの伝搬を抑制することができるという効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の静電保護回路の一実施形態の等価回路を、異電源系の接地配線間に接続した状態で示す等価回路図である。

【図 2】

図 1 の静電保護回路の平面形状を一例を示すレイアウトパターンである。

【図 3】

図 2 の A-A' 線に沿った矢視断面を示す模式的な断面図 (a) と、対応する等価回路図 (b) である。

【図 4】

図 2 の B-B' 線に沿った矢視断面を示す模式的な断面図 (a) と、対応する等価回路図 (b) である。

【図 5】

図 1 の静電保護回路の製造方法の例を説明するための主要工程毎の断面を示す工程毎断面図である。

【図 6】

図 1 の静電保護回路の製造方法の例を説明するための主要工程毎の断面を示す工程毎断面図である。

【図 7】

図 1 の静電保護回路の平面パターン形状の第 1 の変形例を説明するための図で、(a) 及び (b) はそれぞれ模式的な平面図及び (a) の C-C' 線に沿った模式的な矢視断面図である。

【図 8】

図 1 の静電保護回路の平面パターン形状の第 2 の変形例を説明するための図で、(a) 及び (b) はそれぞれ模式的な平面図及び (a) の E-E' 線に沿った

模式的な矢視断面図である。

【図 9】

図 1 の静電保護回路の平面パターン形状の第 3 の変形例を説明するための図で、(a) 及び (b) はそれぞれ模式的な平面図及び (a) の F-F' 線に沿った模式的な矢視断面図である。

【図 10】

図 8 の第 2 の変形例を更に変形した例である。

【図 11】

異電源間に設けられた従来の静電保護回路を第 1 の回路の電源系の接地配線と第 2 の回路の電源系の接地配線との間に挿入したときの等価回路図である。

【図 12】

図 11 の静電保護回路のレイアウトパターンの例である。

【図 13】

異電源間に設けられた従来の静電保護回路を説明するための図で、(a)、(c) はそれぞれ図 2 における P-P' 線と、Q-Q' 線に沿った矢視断面を模式的に示す断面図であり、(b)、(d) はそれぞれ (a)、(c) に対応する等価回路図である。

【図 14】

電源系が 4 種類の場合に各接地配線間に図 1 の静電保護回路を挿入する方法の例を示す図である。

【符号の説明】

- 1 静電保護回路
- 3 P 型シリコン基板
- 5 L S I
- 10, 20 サイリスタ
- 10A, 20A アノード
- 10K, 20K カソード
- 10G, 20G ゲート
- 11, 21 N ウェル

1 2, 2 2 P ウェル

1 3, 1 5, 2 3, 2 5 高濃度 N 型領域

1 4, 2 4, 1 6, 2 6 高濃度 P 型領域

5 5 分離領域

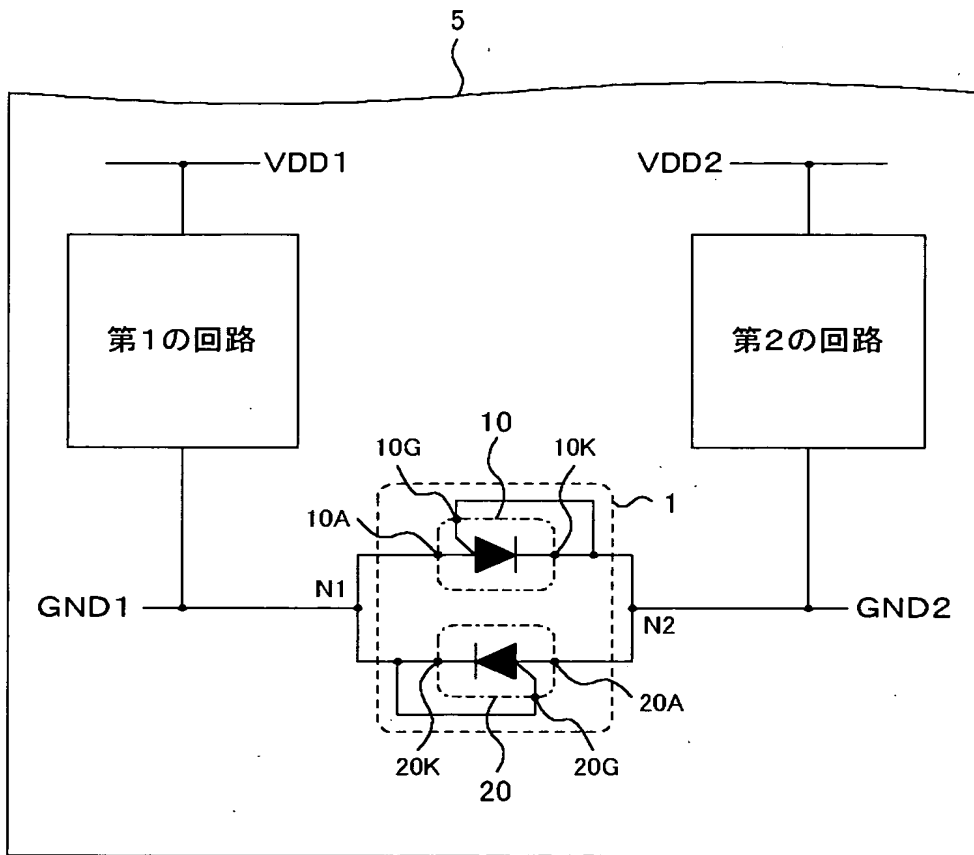
6 1, 6 3 P R

8 1 寄生 P N P T r

8 2 寄生 N P N T r

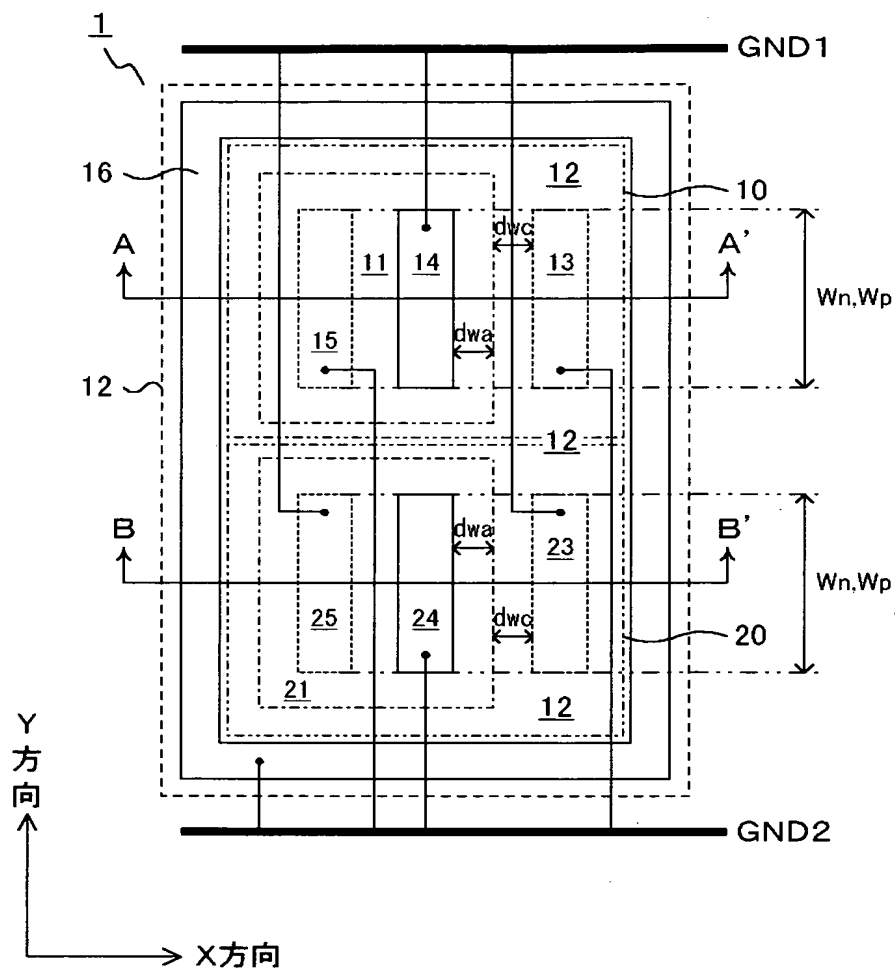
【書類名】 図面

【図 1】



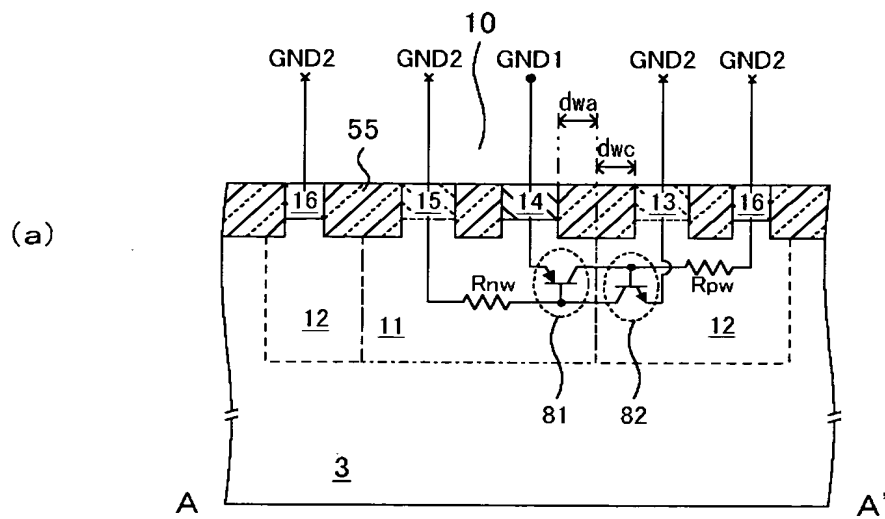
- 1 静電保護回路
- 5 L S I
- 10, 20 サイリスタ
- 10A, 20A アノード
- 10K, 20K カソード
- 10G, 20G ゲート
- N1 第 1 端子
- N2 第 2 端子

【図 2】

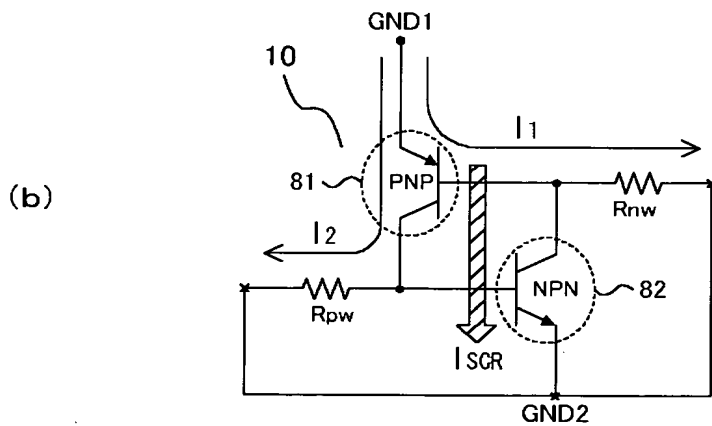


- 3 P型シリコン基板
- 11, 21 Nウェル
- 12 Pウェル
- 13, 15, 23, 25 高濃度N型領域
- 14, 24 高濃度P型領域
- 16 高濃度P型領域 (ガードリング)

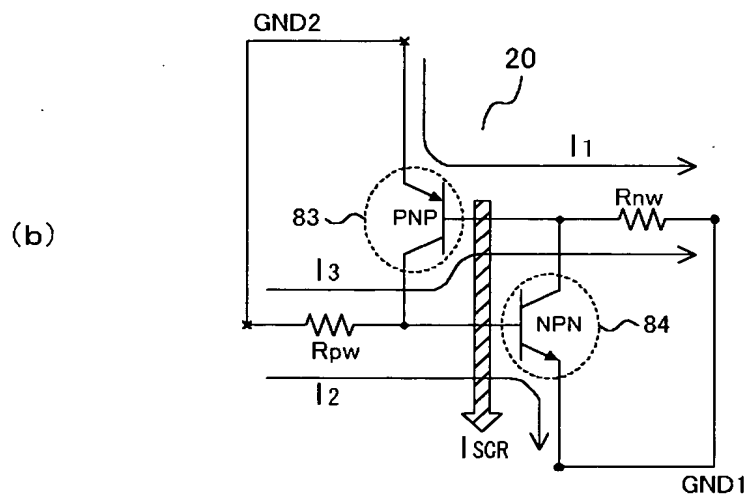
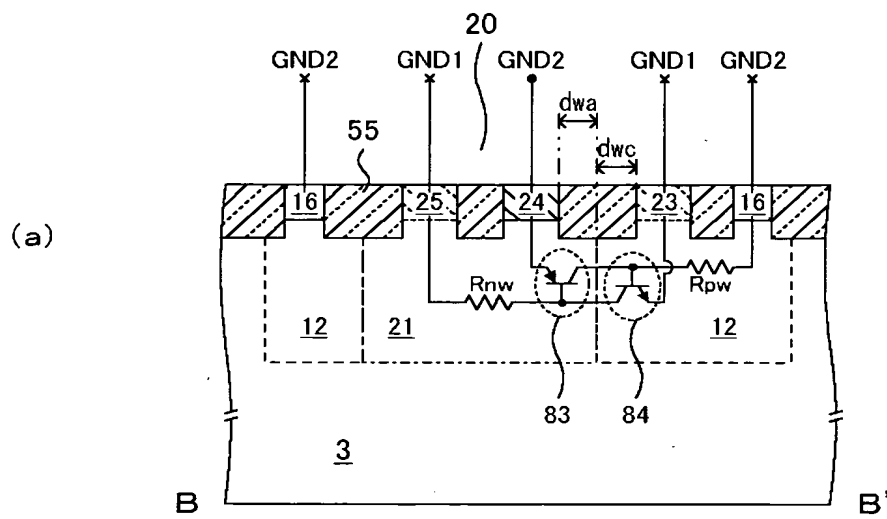
【図 3】



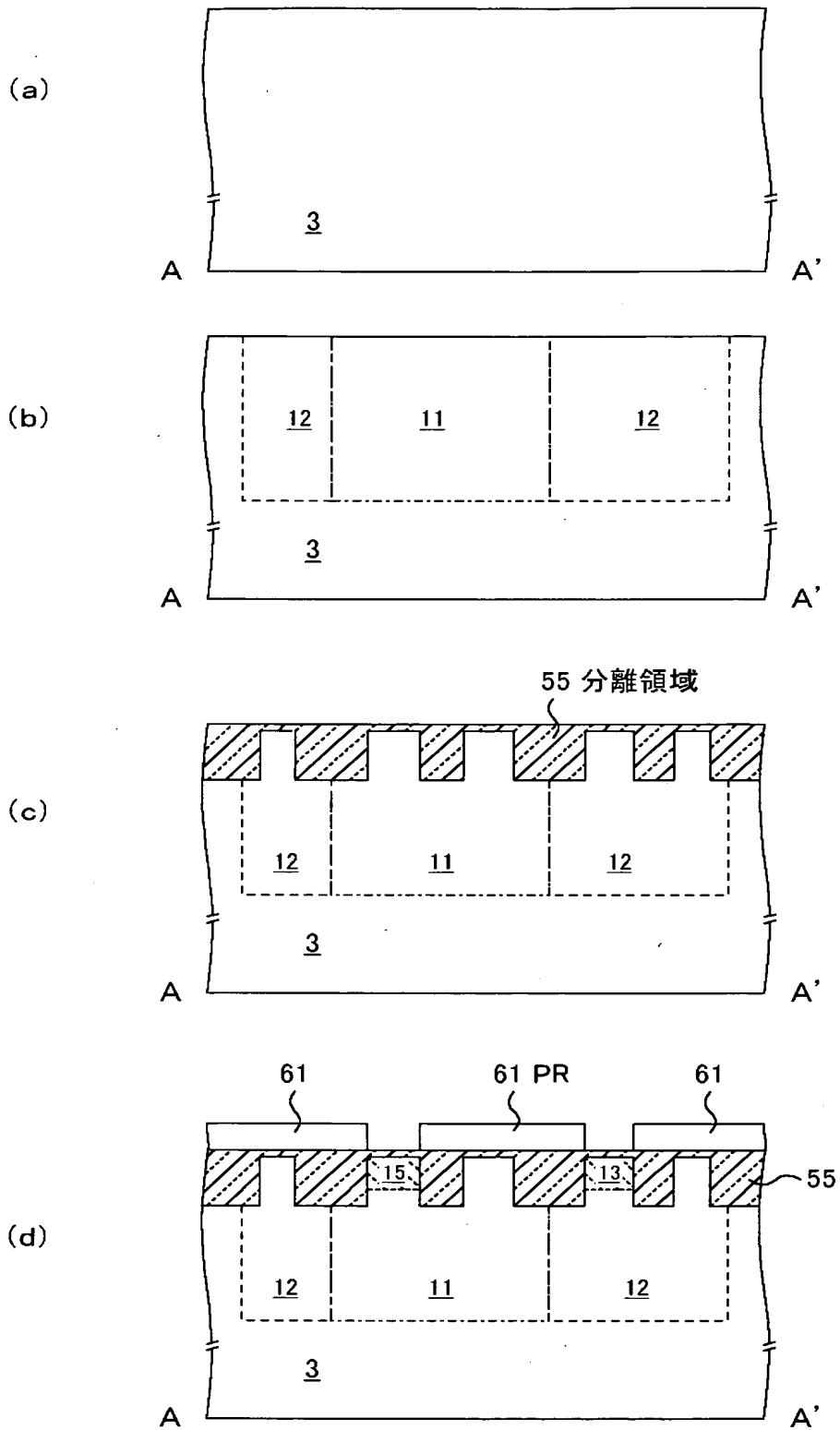
55 分離領域



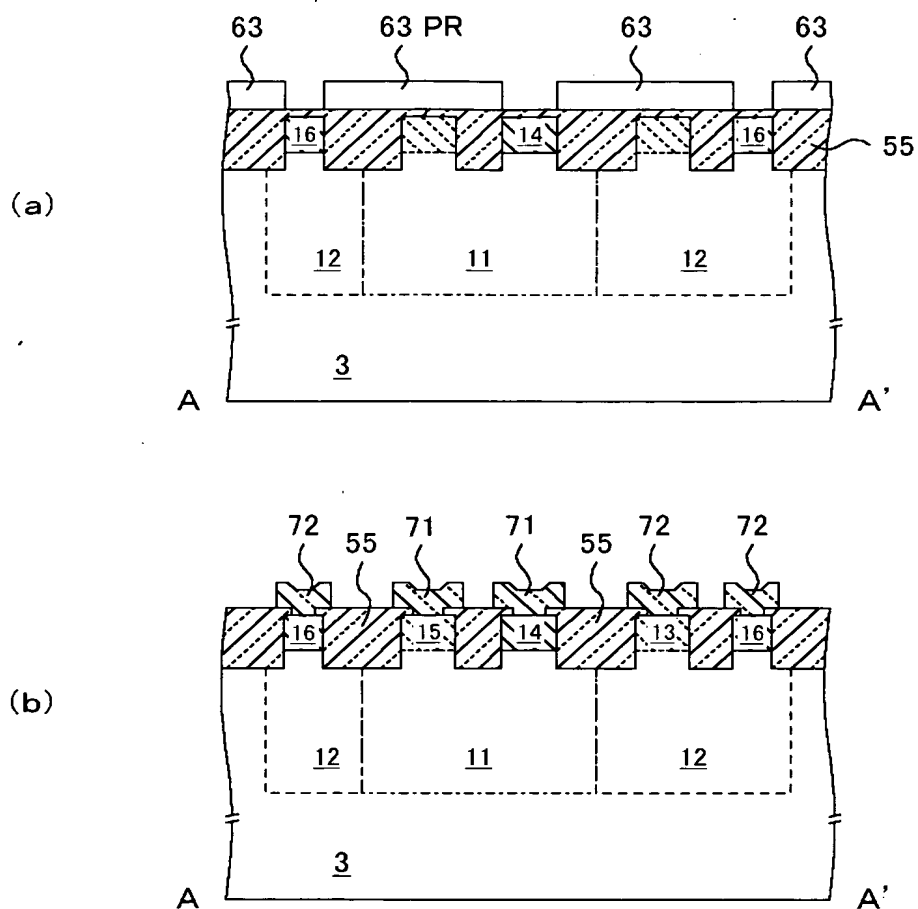
【図 4】



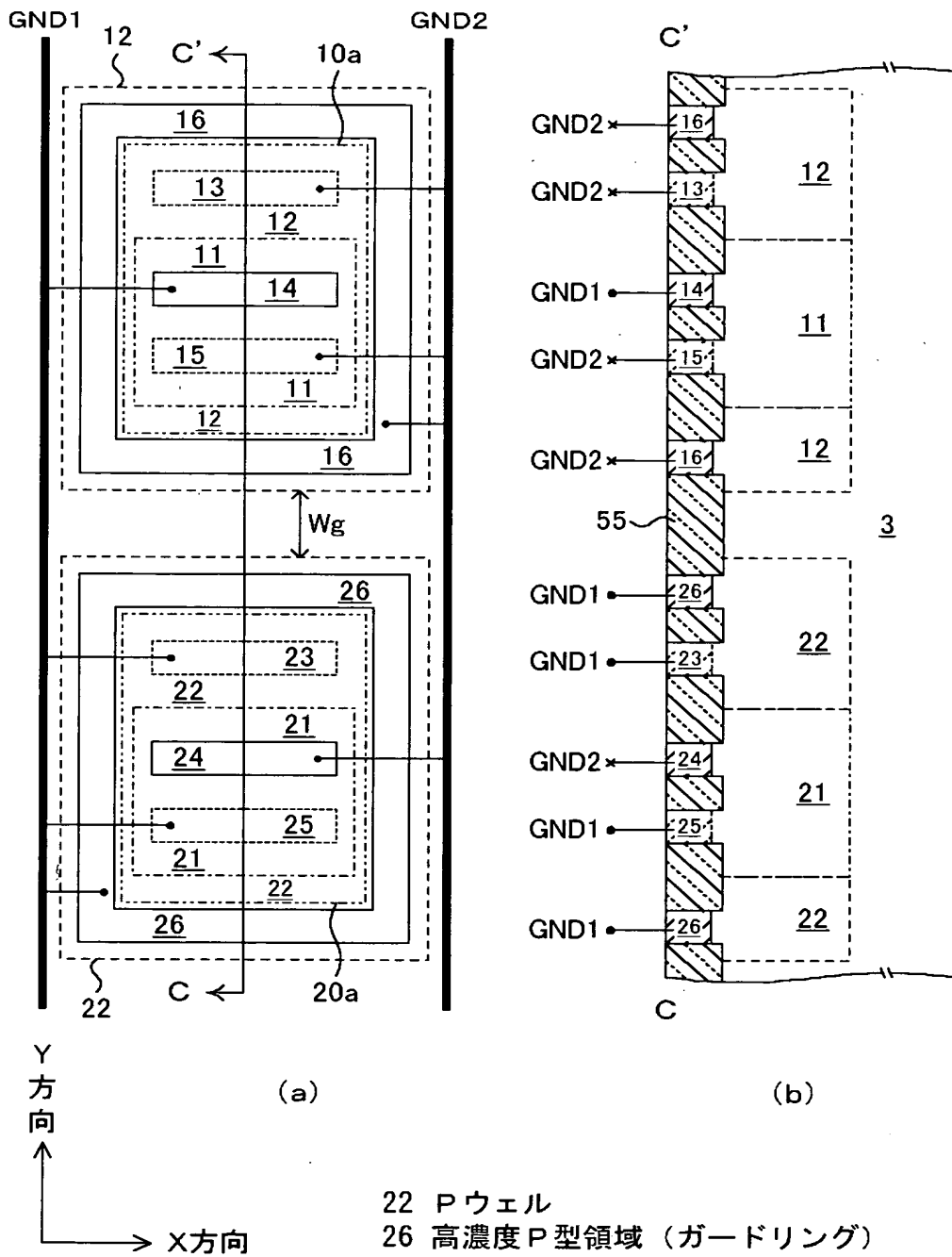
【図 5】



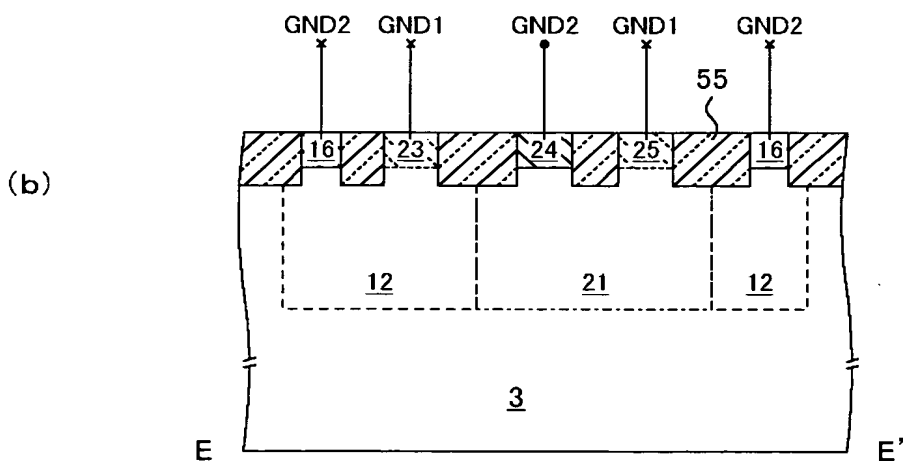
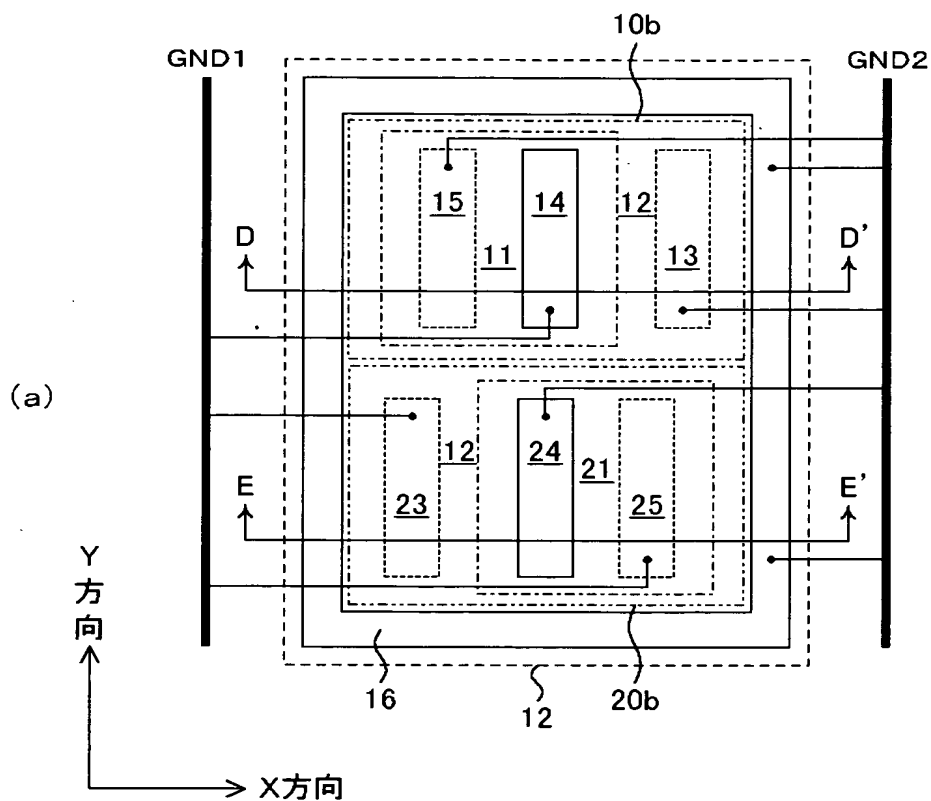
【図 6】



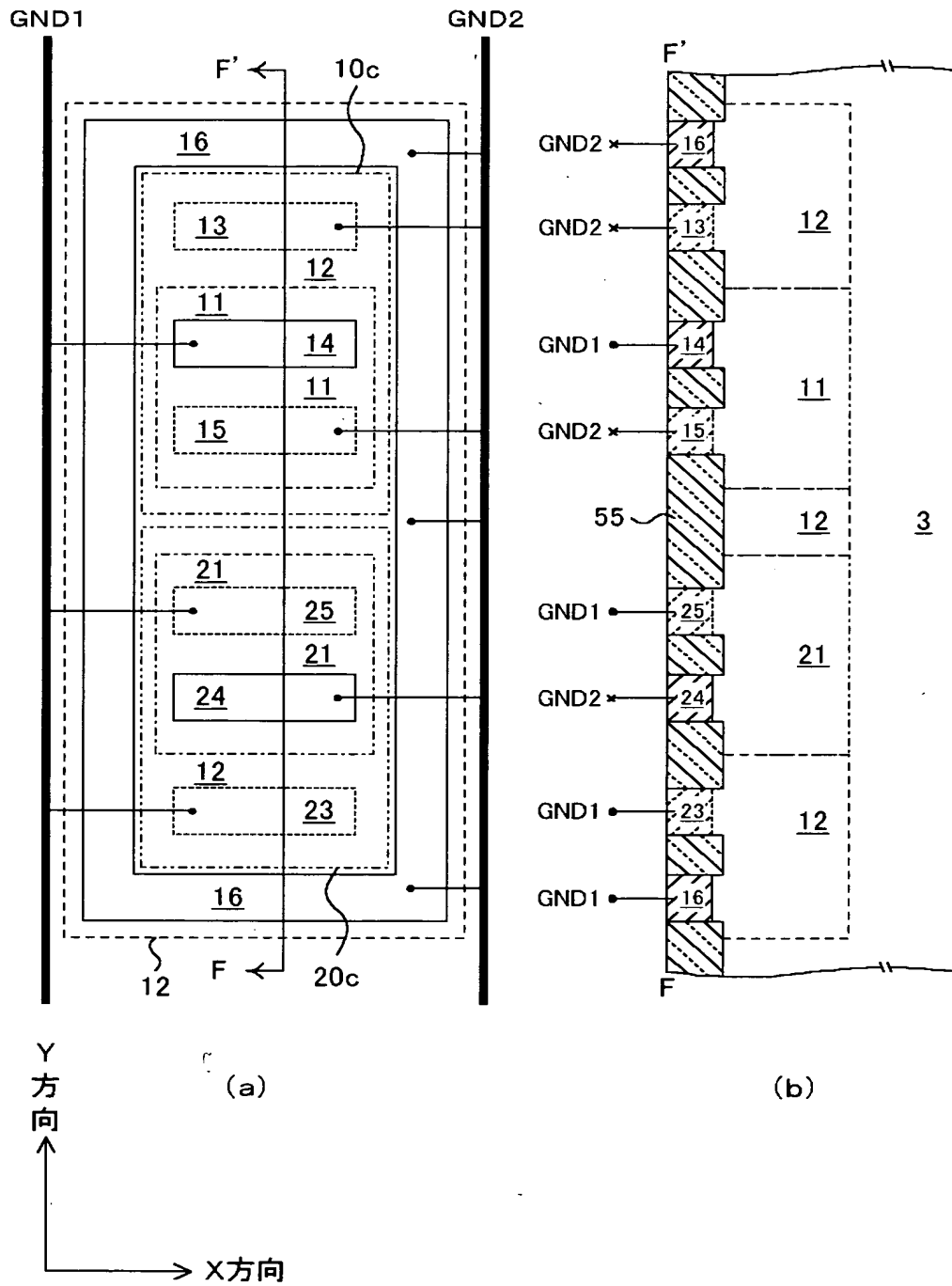
【図 7】



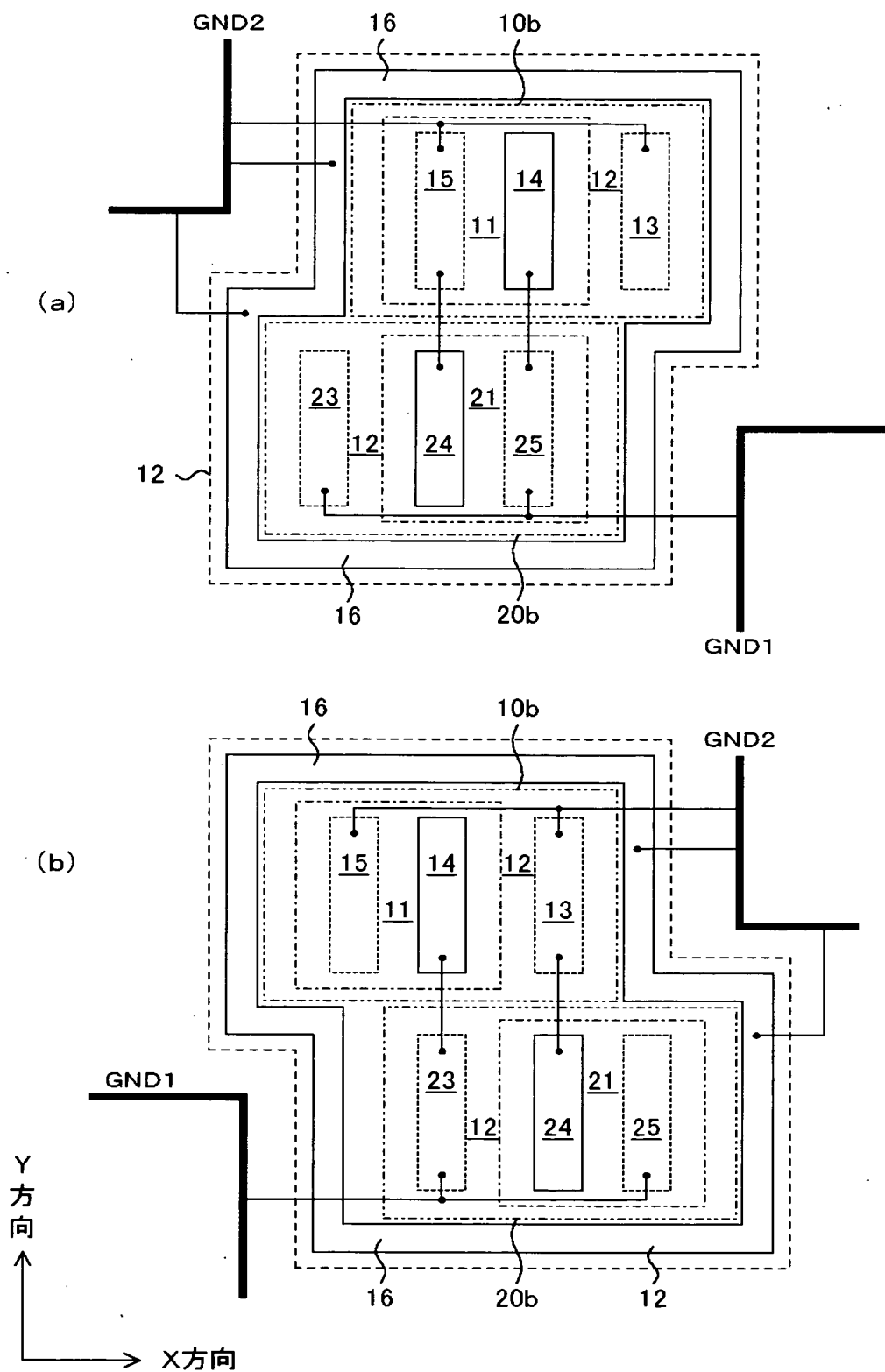
【図 8】



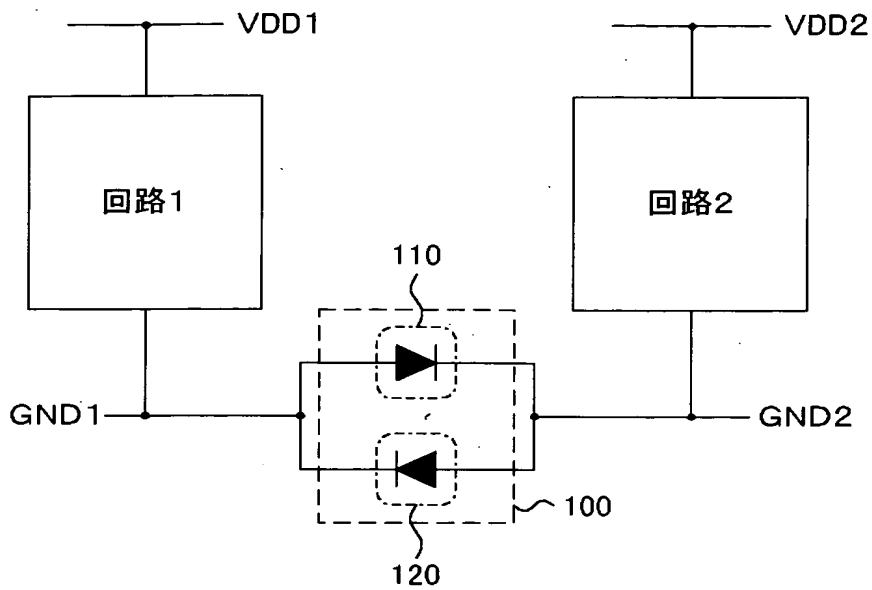
【図 9】



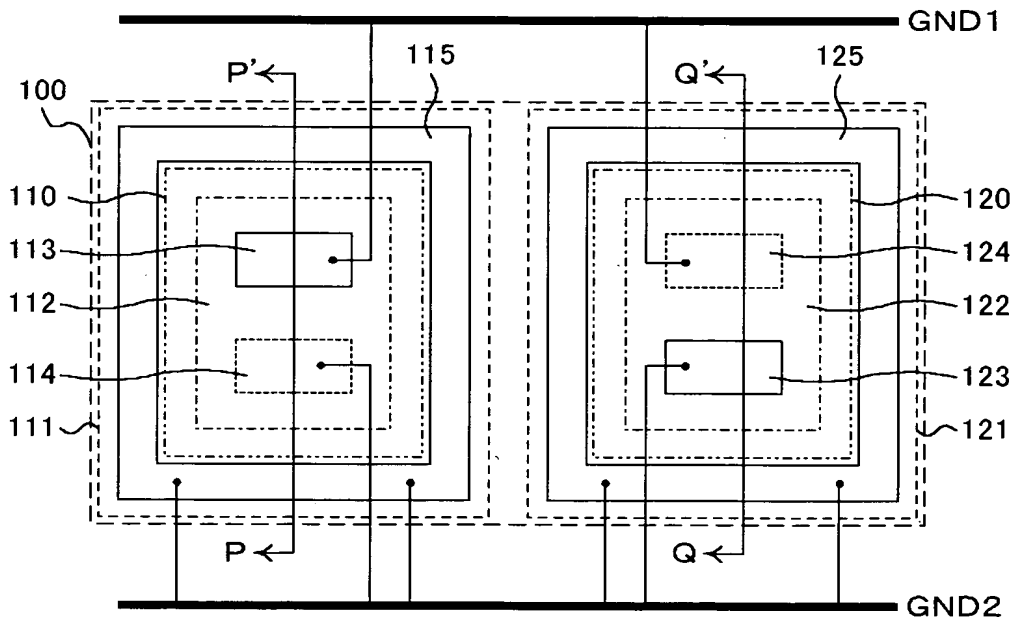
【図 10】



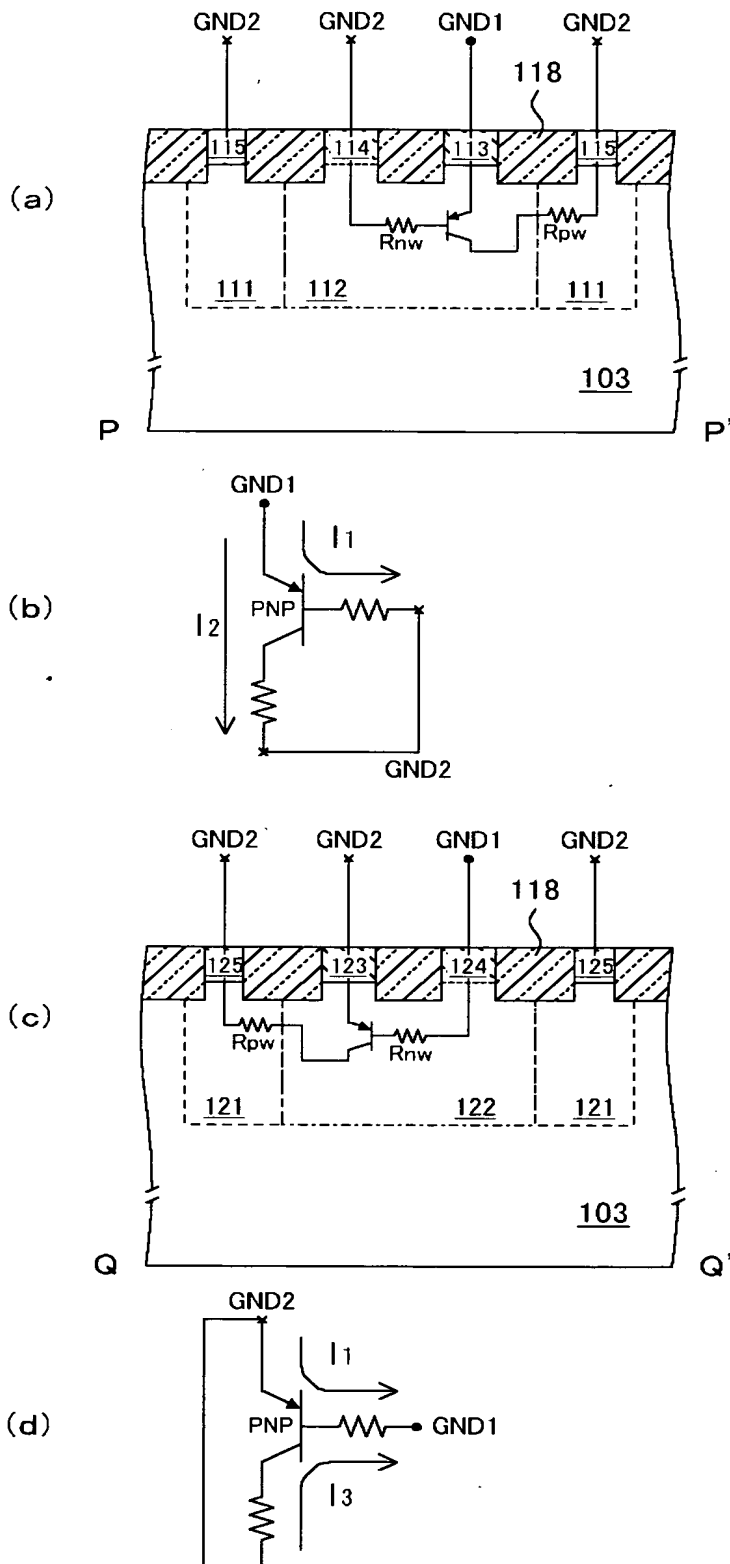
【図 1 1】



【図 1 2】

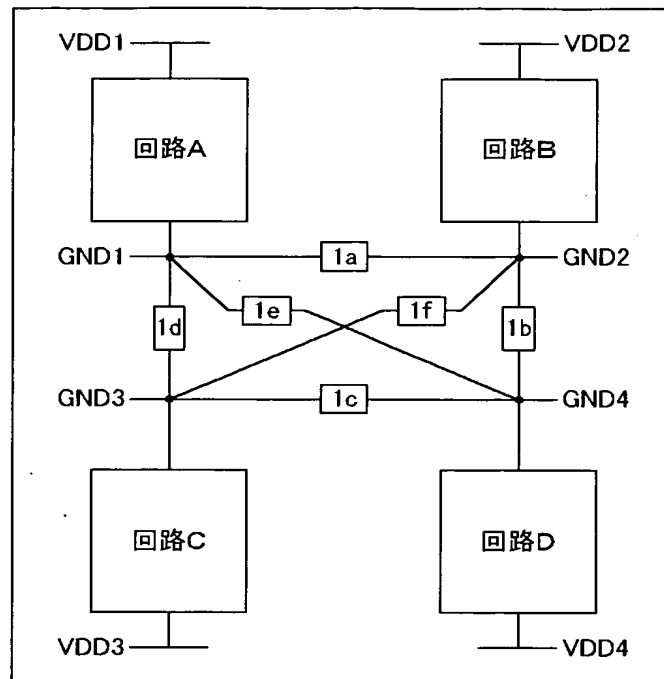


【図 13】

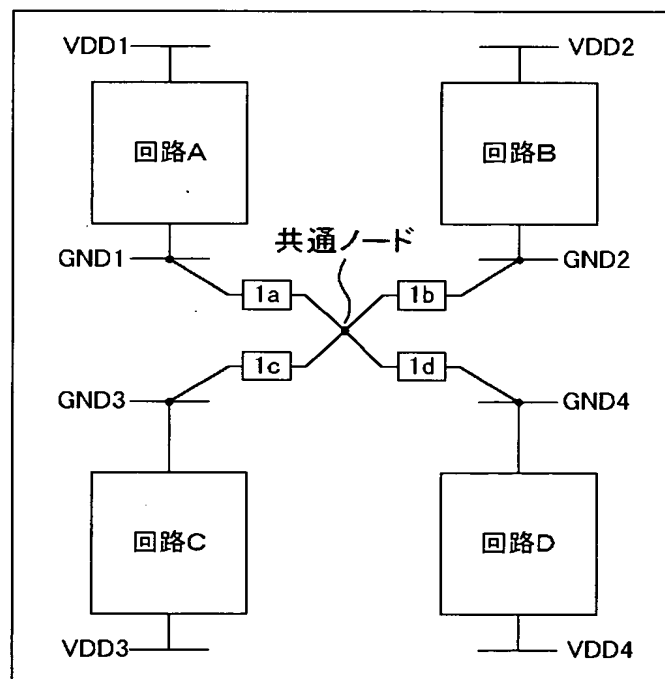


【図 14】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 通常動作時に異なる電源系の接地配線等の同電位配線間を伝搬する高周波ノイズを抑制しながら、異電源系の同電位端子間のESDストレスに対しても十分な耐量を有する静電保護回路及びこの静電保護回路を備えた半導体装置を提供する。

【解決手段】 LSI 5が接地配線GND1と接地配線GND2との間に静電保護回路1を備え、静電保護回路1は、アノード10Aが第1端子N1に、カソード10K及びゲート10Gがいずれも第2端子N2にそれぞれ接続されたサイリスタ10と、アノード20Aが第2端子N2に、カソード20K及びゲート20Gがいずれも第1端子N1にそれぞれ接続されたサイリスタ20と、を備える。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 0 6 9 9 2
受付番号	5 0 2 0 1 5 8 8 2 4 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 0 月 2 3 日

< 認定情報・付加情報 >

【提出日】	平成14年10月22日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官殿

【事件の表示】

【出願番号】 特願2002-306992

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【提出物件の目録】

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届（一般承継）に添付のものを援用
する。

【物件名】 承継人であることを証明する承継証明書 1

【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届（一般承継）に添付のものを援用
する。

【包括委任状番号】 0215753

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 0 6 9 9 2
受付番号	5 0 3 0 0 0 3 3 2 9 1
書類名	出願人名義変更届（一般承継）
担当官	森吉 美智枝 7 5 7 7
作成日	平成 1 5 年 2 月 2 0 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月10日
-------	-------------

次頁無

特願 2 0 0 2 - 3 0 6 9 9 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

特願 2 0 0 2 - 3 0 6 9 9 2

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	N E C エレクトロニクス株式会社